

日本国特許庁
JAPAN PATENT OFFICE

JC927 U.S. PTO
10/026548
12/27/01



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月16日

出願番号

Application Number:

特願2001-076131

出願人

Applicant(s):

富士通株式会社

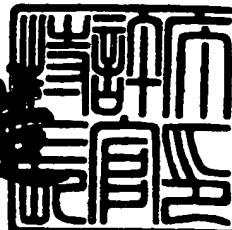
富士通ヴィエルエスアイ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕三



【書類名】 特許願
【整理番号】 0040920
【提出日】 平成13年 3月16日
【あて先】 特許庁長官 殿
【国際特許分類】 H03L 7/08
【発明の名称】 P L L周波数シンセサイザ
【請求項の数】 10
【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴァ
イエルエスアイ株式会社内
【氏名】 斎藤 伸二
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【特許出願人】
【識別番号】 000237617
【氏名又は名称】 富士通ヴァイエルエスアイ株式会社
【代理人】
【識別番号】 100098431
【弁理士】
【氏名又は名称】 山中 郁生
【電話番号】 052-263-3131
【選任した代理人】
【識別番号】 100097009
【弁理士】
【氏名又は名称】 富澤 孝
【手数料の表示】
【予納台帳番号】 041999
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【包括委任状番号】 0008079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 P L L 周波数シンセサイザ

【特許請求の範囲】

【請求項1】 制御電圧信号に応じた出力周波数信号を出力する電圧制御発振器と、該出力周波数信号と基準周波数信号との位相を比較して位相比較信号を出力する位相比較器と、該位相比較信号に応じて前記制御電圧信号を変化させるチャージポンプ回路とを備えてフィードバックループを構成するP L L周波数シンセサイザにおいて、

前記フィードバックループの特性は、前記位相比較器における位相比較周期で周期的に変化することを特徴とするP L L周波数シンセサイザ。

【請求項2】 前記フィードバックループの動作を、前記位相比較器における位相比較周期で周期的に停止することを特徴とする請求項1に記載のP L L周波数シンセサイザ。

【請求項3】 前記フィードバックループは、

前記フィードバックループ内にループ開閉用スイッチ回路を備えることを特徴とする請求項2に記載のP L L周波数シンセサイザ。

【請求項4】 前記チャージポンプ回路から前記電圧制御発振器への経路には、

前記フィードバックループの特性を決定する第1フィルタ回路と第2フィルタ回路とを備え、

前記ループ開閉用スイッチ回路は、

前記第1フィルタ回路と前記第2フィルタ回路との間に備えられることを特徴とする請求項3に記載のP L L周波数シンセサイザ。

【請求項5】 前記チャージポンプ回路は、

前記チャージポンプ回路からの出力信号の出力経路に経路開閉用スイッチ回路を備えることを特徴とする請求項2に記載のP L L周波数シンセサイザ。

【請求項6】 前記チャージポンプ回路から前記電圧制御発振器への経路には、

前記フィードバックループの特性を決定する少なくとも1つのフィルタ回路を

備え、

前記フィルタ回路のフィルタ特性を、前記位相比較器における位相比較周期で周期的に変化させることを特徴とする請求項1に記載のPLL周波数シンセサイザ

【請求項7】 前記フィルタ回路は、

フィルタ特性の異なる少なくとも2つのバイパス経路を備えるバイパス経路群と、

前記バイパス経路群から所定バイパス経路を選択する切替スイッチ回路とを備えることを特徴とする請求項6に記載のPLL周波数シンセサイザ。

【請求項8】 前記フィルタ回路は、

フィルタ特性を可変とする可変フィルタ構成素子を備えることを特徴とする請求項6に記載のPLL周波数シンセサイザ。

【請求項9】 前記チャージポンプ回路は、

前記チャージポンプ回路からの出力信号の供給能力を切り替える出力能力切替回路を備えることを特徴とする請求項1に記載のPLL周波数シンセサイザ。

【請求項10】 前記特性変化あるいは前記動作停止が行なわれる期間は、前記位相比較器において比較される前記基準周波数信号の出力期間を包含する所定期間であることを特徴とする請求項1乃至9の少なくとも何れか1項に記載のPLL周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、PLL周波数シンセサイザに関し、特に高速ロックアップ特性を維持しながら定常状態におけるスプリアス特性の向上を図るPLL周波数シンセサイザに関するものである。

【0002】

【従来の技術】

近年、普及の著しい携帯電話等の移動体通信では、所定周波数のキャリア周波数に基づき通信を行なう。このとき通信品質を確保して通信におけるC/N (C

carrier to Noise) 特性を良好に保つには、所定キャリア周波数を正確にロックする必要がありPLL周波数シンセサイザが利用されている。またPLL周波数シンセサイザによるキャリア周波数のロック動作は、通信期間のみならず通信相手からの受信待ち状態である、いわゆる待ち受け期間においても必要となる。通信相手からの通信アクセスの有無を常に検出しておき、アクセスを受信した場合に直ちに通信を確立するために必要であるからである。一方、携帯電話等の移動体通信機器は、その携帯性により機器の電流消費を最小限に低減する必要がある。そこで、消費電流を抑えながら待ち受け動作を実現するために現状の機器においては、所定周期毎の一定期間にのみ間欠的にPLL周波数シンセサイザを動作させてキャリア周波数をロックして待ち受け動作を行う間欠動作で対応している。所定周期毎にキャリア周波数でのロック動作と停止動作の繰り返し動作を迅速に行なうため、PLL周波数シンセサイザのロックアップ特性の高速化を図る必要があり、ローパスフィルタ回路の時定数を小さく設定する必要がある。

【0003】

図11に従来技術におけるPLL周波数シンセサイザ100を示す。位相比較器101は、基準周波数信号 f_r と、電圧制御発振器(VCO)104が出力する出力周波数信号 f_p とを受ける。そして基準周波数信号 f_r と出力周波数信号 f_p との位相差に応じた位相差信号 P_r 、 P_p を出力する。チャージポンプ回路102はこれらの信号を受け電圧出力信号 D_o を出力する。ローパスフィルタ(LPF)回路103は、電圧出力信号 D_o の交流成分を除去すると共に位相の廻りを調整して系の安定性を確保した上で、電圧制御発振器(VCO)104に制御電圧信号 V_t を出力する。そして、電圧制御発振器(VCO)104は、制御電圧信号 V_t に応じた出力周波数信号 f_p を出力する。PLL周波数シンセサイザ100では、位相比較器101から、チャージポンプ回路102・ローパスフィルタ(LPF)回路103・電圧制御発振器(VCO)104を経て位相比較器101に戻るフィードバックループを形成する。基準周波数信号 f_r と比較した場合の出力周波数信号 f_p の位相差を相殺する位相差信号 P_r 、 P_p がチャージポンプ回路102から出力され、ローパスフィルタ(LPF)回路103を介

して制御電圧信号 V_t として電圧制御発振器 (VCO) 104 にフィードバックされる。出力周波数信号 f_p の周波数が基準周波数信号 f_r の周波数に一致すれば、位相差信号 P_r 、 P_p は出力されなくなり、出力周波数信号 f_p は基準周波数信号 f_r と同一周波数にロックされる。ここで、出力周波数信号 f_r のロックアップ時間を高速にするためには、ローパスフィルタ (LPF) 回路 103 の時定数は小さく設定する必要がある。

【0004】

また、特開平10-51299号公報においては、フェーズロックループを使用したPLLシンセサイザICと、該ICの出力を直流電圧に変換する低域通過ろ波器LPFと、制御電圧に応じた周波数を出力する電圧制御発振回路VCOを含むPLL周波数シンセサイザ回路において、負荷回路の電源のON/OFFのタイミングより前に、PLLシンセサイザICの位相比較器の出力をLPFから切り離し、その後、該PLLシンセサイザICの位相比較器の出力をLPFに再度接続する切り替え手段を有するPLL周波数シンセサイザ回路が記載されている。

【0005】

また、特開平5-183432号公報においては、入力する制御信号に対応して、周波数が変化した出力信号を生成する電圧制御発振部と、間欠的に印加する入力信号と該電圧制御発振器の出力信号の位相比較をして、対応する位相差信号を送出する位相比較部と、該位相差信号中の不要成分を除去する第1の低域通過フィルタ部とを有するクロック再生回路において、該入力信号の周波数と該電圧制御発振部の自走周波数との差成分を取り出す第2の低域通過フィルタ部と、該入力信号が印加している時は、該第1の低域通過フィルタ部の出力と第2の低域通過フィルタ部の出力を加算した信号を該制御信号として送出し、該入力信号が印加していない時は、該第2のフィルタ部の出力を該制御信号として送出するスイッチ・加算手段を付加したクロック再生回路が記載されている。

【0006】

【発明が解決しようとする課題】

上述のPLL周波数シンセサイザ100により、出力周波数信号 f_p が基準周

波数信号 f_r と同一周波数にロックされている場合には、位相比較器 101 の位相差信号 P_r 、 P_p は平均として出力されなくなる。しかしながら、この状態においても、図 12 に示すように、位相比較器 101 における位相比較期間である基準周波数信号 f_r の出力期間に、チャージポンプ回路 102 からの電圧出力信号 D_o には、正負同エネルギー量の位相補正パルスが出力される（以下、擬似補正パルスと称する。）。このパルスはローパスフィルタ（LPF）回路 103 の時定数を調整することにより除去することは可能であるが、ロックアップ特性とはトレードオフの関係にある。即ち、ローパスフィルタ（LPF）回路 103 の時定数を大きく設定すれば、電圧出力信号 D_o における擬似補正パルスをマスクすることは可能であるがロックアップ時間が長くなってしまい高速ロックアップ特性の要求に適合せず問題である。逆に、ローパスフィルタ（LPF）回路 103 の時定数を小さく設定すれば、高速ロックアップ特性の要求を満足することは可能であるが電圧出力信号 D_o における擬似補正パルスをマスクすることができずスプリアスが発生して C/N が悪化して通信品質を確保することができず問題である。従来技術においては、両特性の妥協点で調整せざるを得ず今後の更なる高速化を視野に入れた場合、最適な動作状態を実現することができない虞がある問題である。

【0007】

ここで、電圧出力信号 D_o における擬似補正パルスが発生する理由について説明する。図 13 にチャージポンプ回路 102 の入出力特性を示す。チャージポンプ回路 102 は、入力される位相差信号 $\Delta\phi$ （図 11 においては、 P_r 、 P_p ）に比例する電圧出力信号 D_o を出力する回路である。このときの位相差信号 $\Delta\phi$ は、基準周波数信号 f_r に対する出力周波数信号 f_p の位相遅れを正にとっている。従って、出力周波数信号 f_p の位相が遅れ正の位相差信号 $\Delta\phi$ が入力されると、正の電圧出力信号 D_o が出力されローパスフィルタ（LPF）回路 103 を介して電圧制御発振器（VCO）104 に入力されて出力周波数信号 f_p の位相を進めることにより出力周波数信号 f_p が基準周波数信号 f_r に近づいてロックするようになる。逆に、出力周波数信号 f_p の位相が進み負の位相差信号 $\Delta\phi$ が入力されると、負の電圧出力信号 D_o が出力されローパスフィルタ（LPF）回

路103を介して電圧制御発振器（VCO）104に入力されて出力周波数信号 f_p の位相を遅らせることにより出力周波数信号 f_p が基準周波数信号 f_r に近づいてロックするようになる。理想的には位相差信号 $\Delta\phi$ と電圧出力信号 D_o とは線形関係にあることが必要である（図13中、特性直線 L_0 ）。しかしながら、実際のチャージポンプ回路102では回路の有する有限の信号伝播時間による遅延時間により、微小な位相差の領域 X では位相差信号 $\Delta\phi$ と電圧出力信号 D_o との関係が非線形になり（図13中、特性曲線 L_0D における領域 D ）、電圧出力信号 D_o が出力されなくなる。この微小な位相差領域 X を不感帯といふ。そこで、この不感帯領域 X を解消するために現実のチャージポンプ回路102では、不感帯領域 X において位相差信号 $\Delta\phi$ と電圧出力信号 D_o との特性を線形特性からゲインを減少させる方向にシフトした非線形特性を有して構成することが一般的である（図13中、特性曲線 L ）。このような特性曲線 L を有することにより、微小な位相差領域 X においても、位相差信号 $\Delta\phi$ に対する電圧出力信号 D_o は有限のゲインを有することとなり、確実に位相補正パルスを出力することができる。

【0008】

また、特開平10-51299号公報では、負荷回路の電源のON/OFFによる周波数変動の発生を防止し、負荷回路に電源接続後、すぐに、データ送信又は、受信を行なうことを目的としている。しかしながら、低域通過ろ波器LPFの時定数を小さく抑えて高速ロックアップ特性を図りながら、PLL周波数シンセサイザ回路の定常状態におけるスプリアス発生を抑止する技術思想は開示されておらず、両者のトレードオフ関係を解消して、高速ロックアップ特性と定常時の低スプリアス特性とを共に実現することができず問題である。

【0009】

また、特開平5-183432号公報では、受信機が停止状態から動作状態に移行した時にも常に正しい再生クロックを供給することを目的としている。しかしながら、第1の低域通過フィルタ部の時定数を小さく抑えて高速ロックアップ特性を図りながら、定常状態におけるスプリアス発生を抑止する技術思想は開示されておらず、両者のトレードオフ関係を解消して、高速ロックアップ特性と定

常時の低スプリアス特性と共に実現することができず問題である。

【0010】

本発明は前記従来技術の問題点を解消するためになされたものであり、高速ロックアップ特性を確保しながら、ロック状態におけるスプリアス特性をも改善して良好な通信品質を実現することができるPLL周波数シンセサイザを提供することを目的とする。

【0011】

【課題を解決するための手段】

前記目的を達成するために、請求項1に係るPLL周波数シンセサイザは、制御電圧信号に応じた出力周波数信号を出力する電圧制御発振器と、出力周波数信号と基準周波数信号との位相比較信号を出力する位相比較器と、位相比較信号に応じて制御電圧信号を変化させるチャージポンプ回路とを備えてフィードバックループを構成しており、フィードバックループの特性は、位相比較器における位相比較周期で周期的に変化することを特徴とする。

【0012】

これにより、位相比較器の位相比較周期毎にチャージポンプ回路から擬似補正パルスが出力される期間に、フィードバックループの特性を変化させることができるので、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの特性を維持しながら、チャージポンプ回路から出力される擬似補正パルスに対する電圧制御発振器の応答特性を制御することができ、PLL周波数シンセサイザの定常動作状態において擬似補正パルスによるスプリアスを抑制することができる。

【0013】

また、請求項2に係るPLL周波数シンセサイザは、請求項1に記載のPLL周波数シンセサイザにおいて、フィードバックループの動作を、位相比較器における位相比較周期で周期的に停止することを特徴とする。

【0014】

これにより、位相比較器の位相比較周期毎にチャージポンプ回路から擬似補正パルスが出力される期間に、フィードバックループの動作を停止することができ

るので、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの動作を維持しながら、チャージポンプ回路からの擬似補正パルスに対するフィードバックループの動作を停止することができ、PLL周波数シンセサイザの定常動作状態において擬似補正パルスによるスプリアスを抑止することができる。

【0015】

また、請求項3に係るPLL周波数シンセサイザは、請求項2に記載のPLL周波数シンセサイザにおいて、フィードバックループ内にループ開閉用スイッチ回路を備えることを特徴とする。

【0016】

請求項3のPLL周波数シンセサイザでは、ループ開閉用スイッチ回路を制御することにより、フィードバックループを開閉してフィードバックループの動作を制御する。

【0017】

これにより、位相比較器の位相比較周期毎にチャージポンプ回路から擬似補正パルスが出力される期間に、ループ開閉用スイッチ回路を制御してフィードバックループを開放してフィードバックループの動作を停止することができるので、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの動作を維持しながら、チャージポンプ回路からの擬似補正パルスに対するフィードバックループの動作を停止することができ、PLL周波数シンセサイザの定常動作状態において擬似補正パルスによるスプリアスを抑止することができる。

【0018】

また、請求項4に係るPLL周波数シンセサイザは、請求項3に記載のPLL周波数シンセサイザにおいて、チャージポンプ回路から電圧制御発振器への経路には、フィードバックループの特性を決定する第1フィルタ回路と第2フィルタ回路とを備えており、第1フィルタ回路と第2フィルタ回路との間にループ開閉用スイッチ回路が備えられることを特徴とする。

【0019】

請求項4のPLL周波数シンセサイザでは、フィードバックループの特性を決定する第1フィルタ回路と第2フィルタ回路との間に備えられるループ開閉用スイッチ回路を制御することにより、フィードバックループを開閉してフィードバックループの動作を制御する。

【0020】

これにより、位相比較器の位相比較周期毎にチャージポンプ回路から擬似補正パルスが出力される期間に、ループ開閉用スイッチ回路を制御してフィードバックループを開放してフィードバックループの動作を停止することができるので、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの動作を維持しながら、チャージポンプ回路からの擬似補正パルスに対するフィードバックループの動作を停止することができる。第1及び第2フィルタ回路の時定数を小さくして高速ロックアップ特性を維持しながら、定常動作状態において擬似補正パルスによるスプリアスを抑止することができる。

また、ループ開閉用スイッチ回路を挟んで第1及び第2フィルタ回路を備えているので、両フィルタ回路によりフィードバックループの応答性、安定性等の諸特性を決定することができると共に、ループ開閉用スイッチ回路のスイッチングノイズの除去やループ開閉用スイッチ回路の開放時における電圧制御発振器の入力電位を保持することができる。

【0021】

また、ループ開閉用スイッチ回路には、MOSトランジスタ、あるいはJFETトランジスタを備えることが好ましい。

【0022】

また、請求項5に係るPLL周波数シンセサイザは、請求項2に記載のPLL周波数シンセサイザにおいて、チャージポンプ回路は、出力信号の出力経路に経路開閉用スイッチ回路を備えることを特徴とする。

【0023】

請求項5のPLL周波数シンセサイザでは、経路開閉用スイッチ回路を制御することにより、チャージポンプ回路の出力信号経路を開閉して、フィードバックループの動作を制御する。

【0024】

これにより、位相比較器の位相比較周期毎にチャージポンプ回路から擬似補正パルスが出力される期間に、経路開閉用スイッチ回路を制御してチャージポンプ回路の出力信号経路を開放してフィードバックループの動作を停止することができるので、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの動作を維持しながら、チャージポンプ回路からの擬似補正パルスの出力を抑止することができ、PLL周波数シンセサイザの定常動作状態において擬似補正パルスによるスプリアスを抑止することができる。

【0025】

また、経路開閉用スイッチ回路には、MOSトランジスタ、あるいはJFETトランジスタを備えることが好ましい。

【0026】

また、請求項6に係るPLL周波数シンセサイザは、請求項1に記載のPLL周波数シンセサイザにおいて、チャージポンプ回路から電圧制御発振器への経路には、フィードバックループの特性を決定する少なくとも1つのフィルタ回路を備え、フィルタ回路のフィルタ特性を、位相比較器における位相比較周期で周期的に変化させることを特徴とする。

【0027】

請求項6のPLL周波数シンセサイザでは、チャージポンプ回路から擬似補正パルスが出力される期間に、チャージポンプ回路から電圧制御発振器への経路に備えられる少なくとも1つのフィルタ回路のフィルタ特性を変化させる。

【0028】

これにより、位相比較器の位相比較周期毎にチャージポンプ回路から擬似補正パルスが出力される期間に、少なくとも1つのフィルタ回路を制御してフィルタ特性を変化させてフィードバックループの特性を変化させることができるので、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの特性を維持しながら、チャージポンプ回路から出力される擬似補正パルスに対する電圧制御発振器の応答特性を制御することができる。ロックアップ時においてフィルタ回路の時定数を小さくして高速ロックアップ特性を維持

しながら、定常動作状態においてフィルタ回路のフィルタ特性を変化させて時定数を大きくすることにより擬似補正パルスによるスプリアスを抑制することができる。

【0029】

また、請求項7に係るPLL周波数シンセサイザは、請求項6に記載のPLL周波数シンセサイザにおいて、フィルタ回路は、フィルタ特性の異なる少なくとも2つのバイパス経路を備えるバイパス経路群と、バイパス経路群から所定バイパス経路を選択する切替スイッチ回路とを備えることを特徴とする。

【0030】

請求項7のPLL周波数シンセサイザでは、切替スイッチ回路により、フィルタ特性の異なる少なくとも2つのバイパス経路を備えるバイパス経路群から所定バイパス経路を選択する。

【0031】

これにより、位相比較器の位相比較周期毎にチャージポンプ回路から擬似補正パルスが出力される期間に、フィルタ回路が有するバイパス経路群から、切替スイッチ回路により所定バイパス経路を選択してフィルタ特性を変化させてフィードバックループの特性を変化させることができるので、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの特性を維持しながら、チャージポンプ回路からの擬似補正パルスに対する電圧制御発振器の応答特性を制御することができる。ロックアップ時に、フィルタ回路におけるフィルタ時定数の小さい所定バイパス経路を選択して高速ロックアップ特性を維持しながら、定常動作状態時に、フィルタ時定数の大きな所定バイパス経路を選択することにより擬似補正パルスによるスプリアスを抑止することができる。

【0032】

ここで、このバイパス経路群は、並列接続される少なくとも2つのフィルタ構成素子と、そのうちの少なくとも1つを所定バイパス経路の構成部分として選択切替する切替スイッチ回路とを備えることが好ましい。

また、直列接続される少なくとも2つのフィルタ構成素子と、フィルタ構成素子のうちの少なくとも1つを短絡切替する切替スイッチ回路とを備える構成とし

てもよい。

【0033】

また、切替スイッチ回路には、MOSトランジスタ、あるいはJFETトランジスタを備えることが好ましい。

【0034】

また、請求項8に係るPLL周波数シンセサイザは、請求項6に記載のPLL周波数シンセサイザにおいて、フィルタ回路は、フィルタ特性を可変とする可変フィルタ構成素子を備えることを特徴とする。

【0035】

請求項8のPLL周波数シンセサイザでは、可変フィルタ構成素子を備えたフィルタ回路により、フィルタ特性が可変となる。

【0036】

これにより、位相比較器の位相比較周期毎にチャージポンプ回路から擬似補正パルスが出力される期間に、可変フィルタ構成素子を制御してフィルタ特性を変化させてフィードバックループの特性を変化させることができるので、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの特性を維持しながら、チャージポンプ回路からの擬似補正パルスに対する電圧制御発振器の応答特性を制御することができる。ロックアップ時においては、フィルタ回路の時定数を小さくして高速ロックアップ特性を維持しながら、定常動作状態において、フィルタ回路のフィルタ特性を変化させて時定数を大きくすることにより擬似補正パルスによるスプリアスを抑止することができる。

【0037】

また、可変フィルタ構成素子は、能動抵抗素子であることが好ましく、MOSトランジスタ、あるいはJFETトランジスタであることが好ましい。

【0038】

また、請求項9に係るPLL周波数シンセサイザは、請求項1に記載のPLL周波数シンセサイザにおいて、チャージポンプ回路からの出力信号の供給能力を切り替える出力能力切替回路を備えることを特徴とする。

【0039】

請求項9のPLL周波数シンセサイザでは、出力能力切替回路により、チャージポンプ回路からの出力信号の供給能力を切り替える。

【0040】

これにより、位相比較器の位相比較周期毎にチャージポンプ回路から擬似補正パルスが出力される期間に、出力能力切替回路によりチャージポンプ回路からの出力信号の供給能力を切り替えてフィードバックループの特性を変化させることができるので、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの特性を維持しながら、チャージポンプ回路から出力される擬似補正パルスに対する電圧制御発振器の応答特性を制御することができ、PLL周波数シンセサイザの定常動作状態において擬似補正パルスによるスプリアスを抑制することができる。

【0041】

ここで、出力能力切替回路は、チャージポンプ回路の出力段回路における駆動電源電圧を切り替えるように構成することが好ましい。また、チャージポンプ回路の出力段回路における駆動電流を切り替えるように構成してもよい。更に、チャージポンプ回路の出力段回路における出力トランジスタサイズを切り替えるように構成することもできる。

【0042】

また、請求項10に係るPLL周波数シンセサイザは、請求項1乃至9の少なくとも何れか1項に記載のPLL周波数シンセサイザにおいて、特性変化あるいは動作停止が行なわれる期間は、位相比較器において比較される基準周波数信号の出力期間を包含する所定期間であることを特徴とする。

【0043】

これにより、位相比較器の位相比較周期である基準周波数信号の出力期間を包含して、フィードバックループの特性変化あるいは動作停止が行なわれる所以、この期間にチャージポンプ回路から出力されるべき擬似補正パルスを抑制あるいは抑止することができ、擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの特性を維持しながら、PLL周波数シンセサイザの定常動作状態において擬似補正パルスによるスプリアスを抑止することができる。

【0044】

また、基準周波数信号を分周する分周器を備えて、位相比較器において比較される周波数信号を分周器より出力される分周周波数信号にすることが好ましい。

ここで、上記フィルタ回路は、電圧駆動型あるいは電流駆動型のいずれでもよい。

【0045】

【発明の実施の形態】

以下、本発明のPLL周波数シンセサイザについて具体化した第1乃至第4実施形態を図1乃至図10に基づき図面を参照しつつ詳細に説明する。

図1は、本実施形態の第1実施形態のPLL周波数シンセサイザを示す機能ブロック図である。図2は、第1実施形態のPLL周波数シンセサイザの動作波形を示す波形図である。図3は、第1実施形態のPLL周波数シンセサイザの具体例を示す機能ブロック図である。図4は、本実施形態の第2実施形態のPLL周波数シンセサイザを示す機能ブロック図である。図5は、第2実施形態のローパスフィルタ(LPF)回路の具体例を示す回路図である。図6は、本実施形態の第3実施形態のPLL周波数シンセサイザを示す機能ブロック図である。図7は、第3実施形態のローパスフィルタ(LPF)回路の具体例を示す回路図である。図8は、本実施形態の第4実施形態のPLL周波数シンセサイザを示す機能ブロック図である。図9は、第4実施形態のチャージポンプ回路の具体例を示す回路図である。図10は、ローパスフィルタ(LPF)回路の具体例を示す回路図である。

【0046】

図1の第1実施形態のPLL周波数シンセサイザ1では、図11の従来技術における機能ブロック図に加えて、制御信号S_{cnt}により制御されるスイッチ回路10を、ローパスフィルタ(LPF)回路103と電圧制御発振器(VCO)104との間に挿入した構成である。ここで、位相比較器101、チャージポンプ回路102、ローパスフィルタ(LPF)回路103、及び電圧制御発振器(VCO)104の各構成要素については、その構成、作用、効果は図11に示す従来技術と同様である。更に電圧制御発振器(VCO)104からの出力周波数

信号 f_p が位相比較器 101 にフィードバックされてフィードバックループを構成する PLL 周波数シンセサイザ 1 の構成についても図 1 1 に示す従来技術と同様である。

【0047】

図 1 に示す第 1 実施形態では、スイッチ回路 10 が制御信号 S_{cnt} により制御されて、ローパスフィルタ (LPF) 回路 103 と電圧制御発振器 (VCO) 104 との間のフィードバックループを開閉制御する。即ち、制御信号 S_{cnt} によりフィードバックループの開放指示がされるとスイッチ回路 10 を開いてフィードバックループを開放してフィードバックループの動作を停止することができる。この停止動作を、位相比較器 101 の位相比較周期毎にチャージポンプ回路 102 から擬似補正パルスが出力される期間に行なうように制御信号 S_{cnt} により制御すれば、擬似補正パルスによるスプリアスを抑制することができる。

【0048】

図 2 に示す PLL 周波数シンセサイザ 1 の動作波形では、出力周波数信号 f_p が基準周波数信号 f_r にロックされた定常状態を示す。このときの位相比較動作は、基準周波数信号 f_r の出力期間を位相比較期間として行なわれ、チャージポンプ回路 102 の電圧出力信号 D_o には位相比較期間における位相比較動作に伴って擬似補正パルスが出力される。そこで、制御信号 S_{cnt} を、基準周波数信号 f_r の出力期間である位相比較期間を包含して出力する。制御信号 S_{cnt} を受けたスイッチ回路 10 は、フィードバックループを開放して電圧出力信号 D_o における擬似補正パルスの伝播を抑止することができる。

【0049】

第 1 実施形態の PLL 周波数シンセサイザ 1 では、位相比較器 101 の位相比較周期毎にチャージポンプ回路 102 から擬似補正パルスが出力される期間に、ループ開閉用スイッチ回路であるスイッチ回路 10 を制御信号 S_{cnt} により制御してフィードバックループを開放してフィードバックループの動作を停止することができる。従って、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの動作を維持しながら、チャージポンプ回路 102 からの擬似補正パルスに対するフィードバックループの動作を停止する

ことができ、PLL周波数シンセサイザ1の定常動作状態において擬似補正パルスによるスプリアスを抑止することができる。

【0050】

図3に示す第1実施形態の具体例におけるPLL周波数シンセサイザ1Aは、図1の第1実施形態に加え、基準周波数信号をR分周するR分周器105と出力周波数信号をN分周するN分周器106とが備えられ、R分周された周波数信号 f_r とN分周された周波数信号 f_p とを位相比較器101に入力して位相比較する構成である。更に、R分周器105への入力信号である基準周波数信号と出力信号とを入力信号とする制御回路107により制御信号S_{cnt}が outputされ、スイッチ回路10の具体的回路構成であるMOSトランジスタによるトランスマッショングート11を制御する。また、本具体例では、図1の第1実施形態におけるローパスフィルタ(LPF)回路103に代えて、トランスマッショングート11の前段にループフィルタ回路12を、後段にローパスフィルタ回路13を備えた構成となっている。

【0051】

電圧出力信号D_oにおける擬似補正パルスが伝播しないようにトランスマッショングート11を開放にする構成については、第1実施形態のPLL周波数シンセサイザ1(図1、参照)と同様である。本具体例では、制御回路107は、R分周器105の入力信号である基準周波数信号と出力信号とに基づいて位相比較期間の開始及び終了のタイミングを検出しながら擬似補正パルスの出力期間を包含して制御信号S_{cnt}を出力する。

【0052】

また、トランスマッショングート11を挟んでループフィルタ回路12とローパスフィルタ回路13との2つのフィルタ回路を備えており、フィードバックループの応答性、安定性等の諸特性を決定している。更に、トランスマッショングート11の後段にあるローパスフィルタ回路13は、トランスマッショングート11のスイッチングノイズの除去やトランスマッショングート11の開放時における電圧制御発振器104の入力である制御電圧信号V_tの電位を保持する機能も有している。実使用上においては2つのフィルタ回路12、13のうち、フィ

ードバックループの諸特性を決定させる作用を主にループフィルタ回路12に受け持たせ、ローパスフィルタ回路13には、スイッチングノイズ除去及び電位保持の機能を受け持たせる構成とすることも可能である。この場合、ローパスフィルタ回路13の時定数を小さく設定することができるので、抵抗R2に個別の抵抗素子を備えることなく回路基板上の配線抵抗で代用することもできる。

【0053】

第1実施形態の具体例であるPLL周波数シンセサイザ1Aでは、位相比較器101の位相比較周期毎にチャージポンプ回路102から擬似補正パルスが出力される間に、ループ開閉用スイッチ回路であるトランスマッショングート11を制御回路107からの制御信号S_{cnt}により制御してフィードバックループを開閉してフィードバックループの動作を停止することができる。従って、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの動作を維持しながら、チャージポンプ回路102からの擬似補正パルスに対するフィードバックループの動作を停止することができる。第1フィルタ回路であるループフィルタ回路12と第2フィルタ回路であるローパスフィルタ回路13の時定数を小さくして高速ロックアップ特性を維持しながら、定常動作状態において擬似補正パルスによるスプリアスを抑止することができる。

また、トランスマッショングート11を挟んでループフィルタ回路12とローパスフィルタ回路13とを備えているので、両フィルタ回路12、13によりフィードバックループの応答性、安定性等の諸特性を決定すると共に、トランスマッショングート11のスイッチングノイズの除去やトランスマッショングート11の開放時における電圧制御発振器104の入力である制御電圧信号V_tの電位の保持するをすることができる。

【0054】

図4に示す第2実施形態のPLL周波数シンセサイザ2では、図11の従来技術のPLL周波数シンセサイザ100におけるローパスフィルタ(LPF)回路103に代えて、制御信号S_{cnt}によりフィルタ特性を切り替えることができるローパスフィルタ(LPF)回路20を備えている。図4では、制御信号S_{cnt}で抵抗素子R3を接続・切離し可能とすることにより、ローパスフィルタ(

L P F) 回路20のフィルタ特性を可変とするものである。

【0055】

図5にローパスフィルタ (L P F) 回路20の具体例を示す。図5 (A) は、ローパスフィルタ (L P F) 回路21における抵抗要素の並列パスを切り替えるタイプである。制御信号 S c n t によりスイッチ回路 S 1 が閉じられている場合には、フィルタ時定数を決定する抵抗要素における抵抗値は、抵抗素子 R 4 と R 5 とが並列接続された場合の抵抗値となる。制御信号 S c n t によりスイッチ回路 S 1 が開放されている場合には、フィルタ時定数を決定する抵抗要素における抵抗値は、抵抗素子 R 4 単独の抵抗値となる。フィルタ時定数を決定するもう一方の構成要素である容量要素は容量素子 C 4 として固定であるので、抵抗要素における抵抗値の大小によりフィルタ時定数が決定される。ここで、例えば、2つの抵抗素子 R 4、R 5 の抵抗値を同一であるとすれば、制御信号 S c n t によりスイッチ回路 S 1 が閉じられ2つの抵抗素子 R 4、R 5 が並列接続されているときの全抵抗値は、スイッチ回路 S 1 が開放され抵抗素子 R 4 単独で構成される場合の略半分となり、時定数も略半分となる。

【0056】

図5 (B) に示すローパスフィルタ (L P F) 回路22における抵抗要素は、直列接続された2つの抵抗素子 R 6、R 7 のうちの一方の抵抗素子 R 6 の両端を短絡・開放して直列パスを切り替えるタイプである。制御信号 S c n t によりスイッチ回路 S 1 が閉じられている場合には、フィルタ時定数を決定する抵抗要素のうち抵抗素子 R 6 の両端は短絡され、抵抗素子 R 7 単独での抵抗値となる。制御信号 S c n t によりスイッチ回路 S 1 が開放されている場合には、フィルタ時定数を決定する抵抗要素における抵抗値は、抵抗素子 R 6 と R 7 との直列接続の抵抗値となる。フィルタ時定数を決定するもう一方の構成要素である容量要素は容量素子 C 4 として固定であるので、抵抗素子における抵抗値の大小によりフィルタ時定数が決定される。ここで、例えば、2つの抵抗素子 R 6、R 7 の抵抗値を同一であるとすれば、制御信号 S c n t によりスイッチ回路 S 1 が閉じられ抵抗素子 R 6 の両端が短絡されているときの抵抗値は、スイッチ回路 S 1 が開放され抵抗素子 R 6 と R 7 との直列接続で構成される場合の略半分となり、時定数も

略半分となる。

【0057】

第2実施形態のPLL周波数シンセサイザ2では、位相比較器101の位相比較周期毎にチャージポンプ回路102から擬似補正パルスが出力される期間に、ローパスフィルタ(LPF)回路20が有するバイパス経路群から、切替スイッチ回路S1により所定バイパス経路を選択してフィルタ特性を変化させてフィードバックループの特性を変化させることができる。ローパスフィルタ(LPF)回路20の具体例として、並列バスを切り替えてバイパス経路群から所定バイパス経路を選択するローパスフィルタ(LPF)回路21や、直列バスを切り替えてバイパス経路群から所定バイパス経路を選択するローパスフィルタ(LPF)回路22等が考えられる。従って、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの特性を維持しながら、チャージポンプ回路102からの擬似補正パルスに対する電圧制御発振器104の応答特性を制御することができる。ロックアップ時に、ローパスフィルタ(LPF)回路20乃至22におけるフィルタ時定数の小さい所定バイパス経路を選択して高速ロックアップ特性を維持しながら、定常動作状態時に、フィルタ時定数の大きな所定バイパス経路を選択することにより擬似補正パルスによるスプリアスを抑止することができる。

【0058】

図6に示す第3実施形態のPLL周波数シンセサイザ3では、図11の従来技術のPLL周波数シンセサイザ100におけるローパスフィルタ(LPF)回路103に代えて、制御信号S_{cnt}によりフィルタ特性を可変とすることができるローパスフィルタ(LPF)回路30を備えている。

【0059】

図7にローパスフィルタ(LPF)回路30の具体例としてローパスフィルタ(LPF)回路31を示す。ローパスフィルタ(LPF)回路31では、フィルタ時定数を決定する抵抗要素を能動抵抗素子であるMOSトランジスタM1で構成し、ゲート端子には制御信号S_{cnt}が入力されている。MOSトランジスタM1のゲート端子に印加される制御信号S_{cnt}は、アナログ信号であり電圧値

に応じてMOSトランジスタM1のオン抵抗を可変してフィルタ時定数を可変する構成である。この場合、フィルタ時定数を決定するもう一方の構成要素である容量要素は容量素子C5として固定であるため、抵抗要素であるMOSトランジスタM1の抵抗値に応じてフィルタ時定数が可変となる。

【0060】

第3実施形態のPLL周波数シンセサイザ3では、位相比較器101の位相比較周期毎にチャージポンプ回路102から擬似補正パルスが出力される期間に、ローパスフィルタ(LPF)回路30における可変フィルタ構成素子を制御してフィルタ特性を変化させてフィードバックループの特性を変化させることができる。例えば、ローパスフィルタ(LPF)回路30として可変フィルタ構成素子であるMOSトランジスタM1を使用したローパスフィルタ(LPF)回路31を使用することができる。従って、位相比較周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの特性を維持しながら、チャージポンプ回路102からの擬似補正パルスに対する電圧制御発振器104の応答特性を制御することができる。ロックアップ時においては、ローパスフィルタ(LPF)回路30、31の時定数を小さくして高速ロックアップ特性を維持しながら、定常動作状態において、ローパスフィルタ(LPF)回路30、31のフィルタ特性を変化させて時定数を大きくすることにより擬似補正パルスによるスプリアスを抑止することができる。

【0061】

図8に示す第4実施形態のPLL周波数シンセサイザ4では、図11の従来技術のPLL周波数シンセサイザ100におけるチャージポンプ回路102に代えて、制御信号S_{cnt}により電圧出力信号D_oの供給能力を切り替えることができるチャージポンプ回路40を備えている。

【0062】

図9にチャージポンプ回路40の具体例として3タイプのチャージポンプ回路41乃至45を示す。図9(A)のチャージポンプ回路41は、電圧出力信号D_oの出力パスを開閉するタイプである。電圧出力信号D_oの出力段回路B1への電源電圧VDD及び接地電位を供給するパスにスイッチ回路S2、S3を挿入し

制御信号 S_{c nt} で開閉制御するものである。電源電圧 V_{DD} 及び接地電位の開放動作を位相比較器 101 の位相比較周期毎にチャージポンプ回路 40 から擬似補正パルスが出力される期間に行なうように制御信号 S_{c nt} により制御すれば、擬似補正パルスがチャージポンプ回路 40 から出力される期間に出力段回路 B1 に電源電圧 V_{DD} 及び接地電位が供給されなくなり擬似補正パルスが出力されることがなくなる。

【0063】

図9 (B) のチャージポンプ回路 42、43 は、チャージポンプ回路 42、43 の出力段回路 B2、B3 への電源電圧供給能力を切り替えて電圧出力信号 D_o の駆動能力を切り替えるタイプである。チャージポンプ回路 42 では、スイッチ回路 S4 を制御信号 S_{c nt} により制御して供給される電源電圧を V_{DD1} と V_{DD2} との間で切り替えて電源供給能力を切り替える。またチャージポンプ回路 43 では、電源電圧供給用バッファ回路 B4 への出力電圧設定値を、スイッチ回路 S5 により分圧抵抗 R8 乃至 R10 の間で切り替えて出力電圧を切替変更することにより出力段回路 B3 の駆動能力を切り替えるものである。

【0064】

図9 (C) のチャージポンプ回路 44、45 は、チャージポンプ回路 44、45 の出力段回路 B5、B6 及び B7 の電流供給能力を切り替えて電圧出力信号 D_o の駆動能力を切り替えるタイプである。チャージポンプ回路 44 では、制御信号 S_{c nt} により電源電圧 V_{DD} からの電流供給能力を規定している電流源回路 I1 の電流供給能力を切り替える。またチャージポンプ回路 45 では、制御信号 S_{c nt} によりスイッチ回路 S6 を開閉制御することにより電圧出力信号 D_o の信号出力に供する出力段回路を出力段回路 B6 のみとするか、出力段回路 B6 に出力段回路 B7 を追加するかの選択切替を行なうものである。

【0065】

第4実施形態のPLL周波数シンセサイザ4では、位相比較器 101 の位相比較周期毎にチャージポンプ回路 40 乃至 45 から擬似補正パルスが出力される期間に、出力能力切替回路によりチャージポンプ回路 40 乃至 45 からの出力信号の供給能力を切り替えてフィードバックループの特性を変化させることができる

。出力能力切替回路の具体例としては、チャージポンプ回路41における出力段回路B1への電源電圧VDD及び接地電位のパス開閉を切り替えるタイプ（図9（A）、参照）や、チャージポンプ回路42、43における出力段回路B2、B3に供給する電源電圧を切り替えるタイプ（図9（B）、参照）、チャージポンプ回路44、45における出力段回路B5、B6及びB7の出力信号への電流供給能力を切り替えるタイプ（図9（C）、参照）等がある。従って、位相比較周周期毎の擬似補正パルス出力期間以外の定常動作状態におけるフィードバックループの特性を維持しながら、チャージポンプ回路40乃至45から出力される擬似補正パルスに対する電圧制御発振器104の応答特性を制御することができ、PLL周波数シンセサイザ4の定常動作状態において擬似補正パルスによるスプリアスを抑制することができる。

【0066】

ここで、第1乃至第4実施形態におけるローパスフィルタ（LPF）回路103、20乃至22、30、31、及びループフィルタ回路12、ローパスフィルタ回路13は図10に示すように、電圧駆動タイプ51（図10（A）、参照）としても、電流駆動タイプ52（図10（B）、参照）としてもよい。

【0067】

尚、本発明は前記第1乃至第4実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、第1実施形態においては、フィードバックループを開閉するスイッチ回路10を、ローパスフィルタ（LPF）回路103と電圧制御発振器（VCO）104との間に挿入した構成を例に説明をしたが、本発明におけるPLL周波数シンセサイザはこれに限定されるものではなく、スイッチ回路は、フィードバックループ内の他の箇所に挿入することも可能である。

また、第1実施形態の具体例においては、スイッチ回路10の具体例としてMOSトランジスタで構成されるトランスマッショングート11とした構成を例に説明をしたが、本発明におけるPLL周波数シンセサイザはこれに限定されるものではなく、スイッチ回路は、MOSトランジスタで構成する場合の他、JFE

Tトランジスタやその他のスイッチング素子、あるいはスイッチング回路で構成することもできる。

更に、R分周器105により基準周波数信号をR分周して周波数信号 f_r として、N分周器106により出力周波数信号をN分周した周波数信号 f_p と共に位相比較器101に入力して位相比較する構成を例に説明をしたが、本発明におけるPLL周波数シンセサイザはこれに限定されるものではなく、分周器を使用しない構成とすることもできる。また基準周波数信号とR分周された周波数信号 f_r とに基づいて制御回路107により制御信号Scntを出力しているが、これに限定されるものではなく、基準周波数信号をトリガとして所定時間の経過までを制御信号Scntの出力期間としたり、出力周波数信号、あるいはN分周周波数信号 f_p に基づき制御信号Scntを生成するようにしても、電圧出力信号D₀が擬似補正パルスを出力する期間を包含して制御信号Scntを出力することも可能である。

また、第2実施形態においては、制御信号Scntによりフィルタ時定数を決定する抵抗要素を構成する抵抗素子を並列接続する場合と直列接続とする場合の各々について説明したが、これに限定されるものではなく、並列接続部分と直列接続部分との双方が混在する構成とすることもできる。

また、第3実施形態においては、フィルタ時定数を決定する抵抗要素をMOSトランジスタM1で構成する場合を例に説明したが、これに限定されるものではなく、MOSトランジスタで構成する場合の他に、JFETトランジスタ等の可変抵抗素子等を使用することもできる。

【0068】

(付記1) 制御電圧信号に応じた出力周波数信号を出力する電圧制御発振器と、該出力周波数信号と基準周波数信号との位相を比較して位相比較信号を出力する位相比較器と、該位相比較信号に応じて前記制御電圧信号を変化させるチャージポンプ回路とを備えてフィードバックループを構成するPLL周波数シンセサイザにおいて、

前記フィードバックループの特性は、前記位相比較器における位相比較周期で周期的に変化することを特徴とするPLL周波数シンセサイザ。

(付記2) 前記フィードバックループの動作を、前記位相比較器における位相比較周期で周期的に停止することを特徴とする付記1に記載のPLL周波数シンセサイザ。

(付記3) 前記フィードバックループは、
前記フィードバックループ内にループ開閉用スイッチ回路を備えることを特徴とする付記2に記載のPLL周波数シンセサイザ。

(付記4) 前記チャージポンプ回路から前記電圧制御発振器への経路には、
前記フィードバックループの特性を決定する第1フィルタ回路と第2フィルタ回路とを備え、

前記ループ開閉用スイッチ回路は、
前記第1フィルタ回路と前記第2フィルタ回路との間に備えられることを特徴とする付記3に記載のPLL周波数シンセサイザ。

(付記5) 前記ループ開閉用スイッチ回路は、
MOSトランジスタを備えることを特徴とする付記3又は4に記載のPLL周波数シンセサイザ。

(付記6) 前記ループ開閉用スイッチ回路は、
JFETトランジスタを備えることを特徴とする付記3又は4に記載のPLL周波数シンセサイザ。

(付記7) 前記フィードバックループは、
前記チャージポンプ回路からの出力信号の出力を停止することを特徴とする付記2に記載のPLL周波数シンセサイザ。

(付記8) 前記チャージポンプ回路は、
前記チャージポンプ回路からの出力信号の出力経路に経路開閉用スイッチ回路を備えることを特徴とする付記7に記載のPLL周波数シンセサイザ。

(付記9) 前記経路開閉用スイッチ回路は、
MOSトランジスタを備えることを特徴とする付記8に記載のPLL周波数シンセサイザ。

(付記10) 前記経路開閉用スイッチ回路は、
JFETトランジスタを備えることを特徴とする付記8に記載のPLL周波数

シンセサイザ。

(付記11) 前記チャージポンプ回路から前記電圧制御発振器への経路には、前記フィードバックループの特性を決定する少なくとも1つのフィルタ回路を備え、

前記フィルタ回路のフィルタ特性を、前記位相比較器における位相比較周期で周期的に変化させることを特徴とする付記1に記載のPLL周波数シンセサイザ。

(付記12) 前記フィルタ回路は、

フィルタ特性の異なる少なくとも2つのバイパス経路を備えるバイパス経路群と、

前記バイパス経路群から所定バイパス経路を選択する切替スイッチ回路とを備えることを特徴とする付記11に記載のPLL周波数シンセサイザ。

(付記13) 前記バイパス経路群は、

並列接続される少なくとも2つのフィルタ構成素子と、

前記フィルタ構成素子のうちの少なくとも1つを前記所定バイパス経路の構成部分として選択切替する前記切替スイッチ回路とを備えることを特徴とする付記12に記載のPLL周波数シンセサイザ。

(付記14) 前記バイパス経路群は、

直列接続される少なくとも2つのフィルタ構成素子と、

前記フィルタ構成素子のうちの少なくとも1つを短絡切替する前記切替スイッチ回路とを備えることを特徴とする付記12に記載のPLL周波数シンセサイザ。

(付記15) 前記切替スイッチ回路は、

MOSトランジスタを備えることを特徴とする付記12乃至14の少なくとも何れか1項に記載のPLL周波数シンセサイザ。

(付記16) 前記切替スイッチ回路は、

JFETトランジスタを備えることを特徴とする付記12乃至14の少なくとも何れか1項に記載のPLL周波数シンセサイザ。

(付記17) 前記フィルタ回路は、

フィルタ特性を可変とする可変フィルタ構成素子を備えることを特徴とする付

記11に記載のPLL周波数シンセサイザ。

(付記18) 前記可変フィルタ構成素子は、

能動抵抗素子であることを特徴とする付記17に記載のPLL周波数シンセサイザ。

(付記19) 前記能動抵抗素子は、

MOSトランジスタであることを特徴とする付記18に記載のPLL周波数シンセサイザ。

(付記20) 前記能動抵抗素子は、

JFETトランジスタであることを特徴とする付記18に記載のPLL周波数シンセサイザ。

(付記21) 前記チャージポンプ回路は、

前記チャージポンプ回路からの出力信号の供給能力を切り替える出力能力切替回路を備えることを特徴とする付記1に記載のPLL周波数シンセサイザ。

(付記22) 前記出力能力切替回路は、

前記チャージポンプ回路の出力段回路における駆動電源電圧を切り替えることを特徴とする付記21に記載のPLL周波数シンセサイザ。

(付記23) 前記出力能力切替回路は、

前記チャージポンプ回路の出力段回路における駆動電流を切り替えることを特徴とする付記21に記載のPLL周波数シンセサイザ。

(付記24) 前記出力能力切替回路は、

前記チャージポンプ回路の出力段回路における出力トランジスタサイズを切り替えることを特徴とする付記21に記載のPLL周波数シンセサイザ。

(付記25) 前記特性変化あるいは前記動作停止が行なわれる期間は、前記位相比較器において比較される前記基準周波数信号の出力期間を包含する所定期間であることを特徴とする付記1乃至24の少なくとも何れか1項に記載のPLL周波数シンセサイザ。

(付記26) 前記基準周波数信号を分周する分周器を備え、

前記位相比較器において比較される周波数信号は、前記分周器より出力される分周周波数信号であることを特徴とする付記25に記載のPLL周波数シンセサイ

イザ。

(付記27) 前記フィルタ回路は、

電圧駆動型あるいは電流駆動型のいずれかであることを特徴とする付記4乃至6、11乃至20、25、26の少なくとも何れか1項に記載のPLL周波数シンセサイザ。

【0069】

【発明の効果】

本発明によれば、チャージポンプ回路から出力される擬似補正パルスの出力期間においてのみフィードバックループの特性を周期的に可変とし、あるいはフィードバックループの動作を周期的に停止することにより、高速ロックアップ特性を確保しながら、擬似補正パルスによる応答を抑止してロック状態におけるスプリアス特性をも改善して良好な通信品質を実現することができるPLL周波数シンセサイザを提供することが可能となる。

【図面の簡単な説明】

【図1】

本実施形態の第1実施形態のPLL周波数シンセサイザを示す機能ブロック図である。

【図2】

第1実施形態のPLL周波数シンセサイザの動作波形を示す波形図である。

【図3】

第1実施形態のPLL周波数シンセサイザの具体例を示す機能ブロック図である。

【図4】

本実施形態の第2実施形態のPLL周波数シンセサイザを示す機能ブロック図である。

【図5】

第2実施形態のローパスフィルタ(LPF)回路の具体例を示す回路図である

【図6】

本実施形態の第3実施形態のPLL周波数シンセサイザを示す機能ブロック図である。

【図7】

第3実施形態のローパスフィルタ(LPF)回路の具体例を示す回路図である

【図8】

本実施形態の第4実施形態のPLL周波数シンセサイザを示す機能ブロック図である。

【図9】

第4実施形態のチャージポンプ回路の具体例を示す回路図である。

【図10】

ローパスフィルタ(LPF)回路の具体例を示す回路図である。

【図11】

従来技術のPLL周波数シンセサイザを示す機能ブロック図である。

【図12】

従来技術のPLL周波数シンセサイザの動作波形を示す波形図である。

【図13】

チャージポンプ回路の入出力特性を示す特性図である。

【符号の説明】

1、1A、2、3、4

PLL周波数シンセサイザ

10 スイッチ回路

11 トランスマッショングート

12 ループフィルタ回路

13 ローパスフィルタ回路

20、21、22、30、31、51、52

ローパスフィルタ(LPF)回路

40、41、42、43、44、45

チャージポンプ回路

特2001-076131

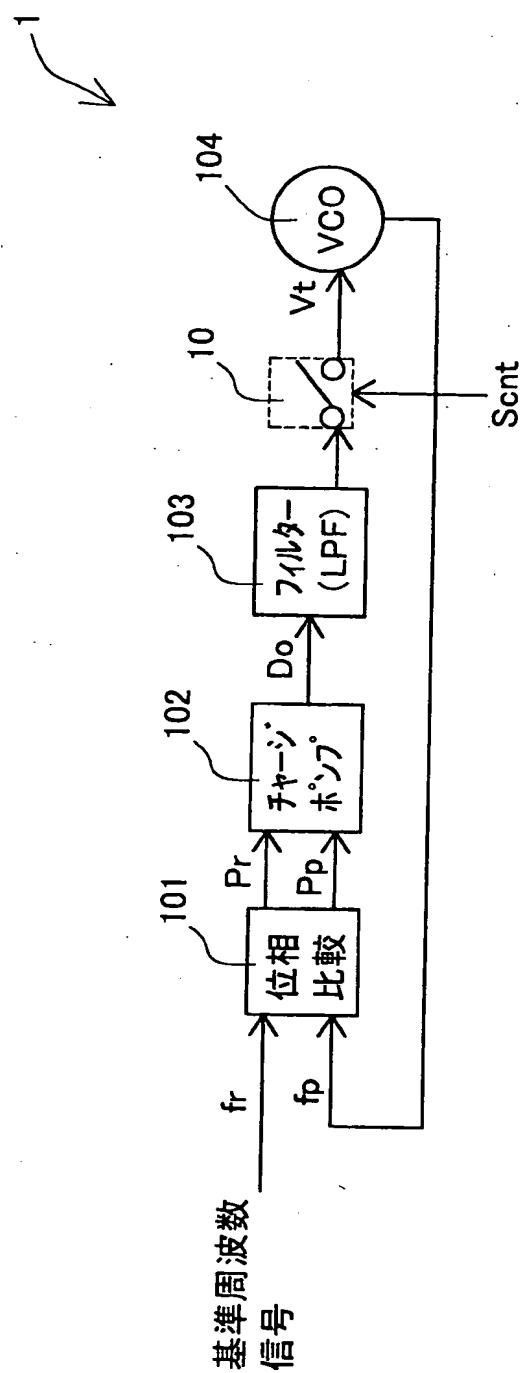
107

制御回路

【書類名】 図面

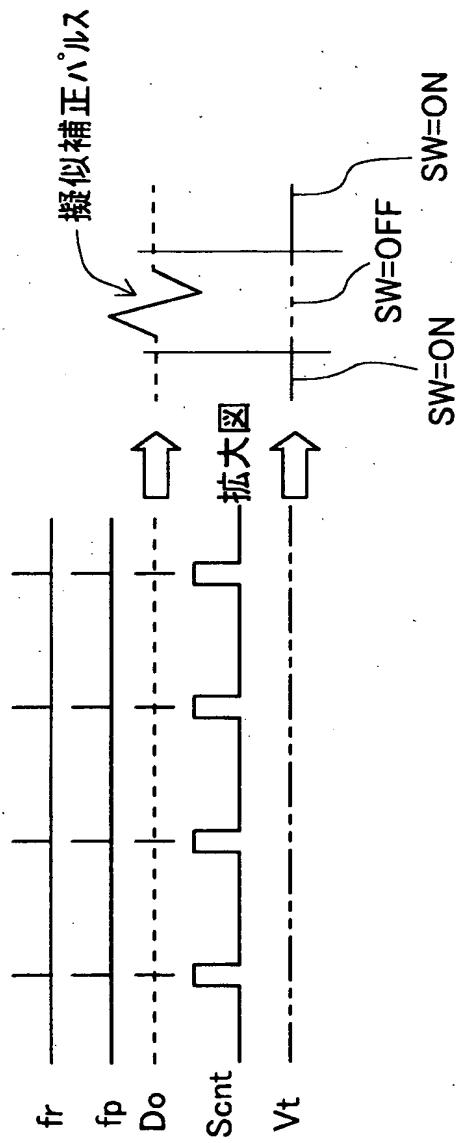
【図1】

第1実施形態のPLL周波数シンセサイザーの機能ブロック図



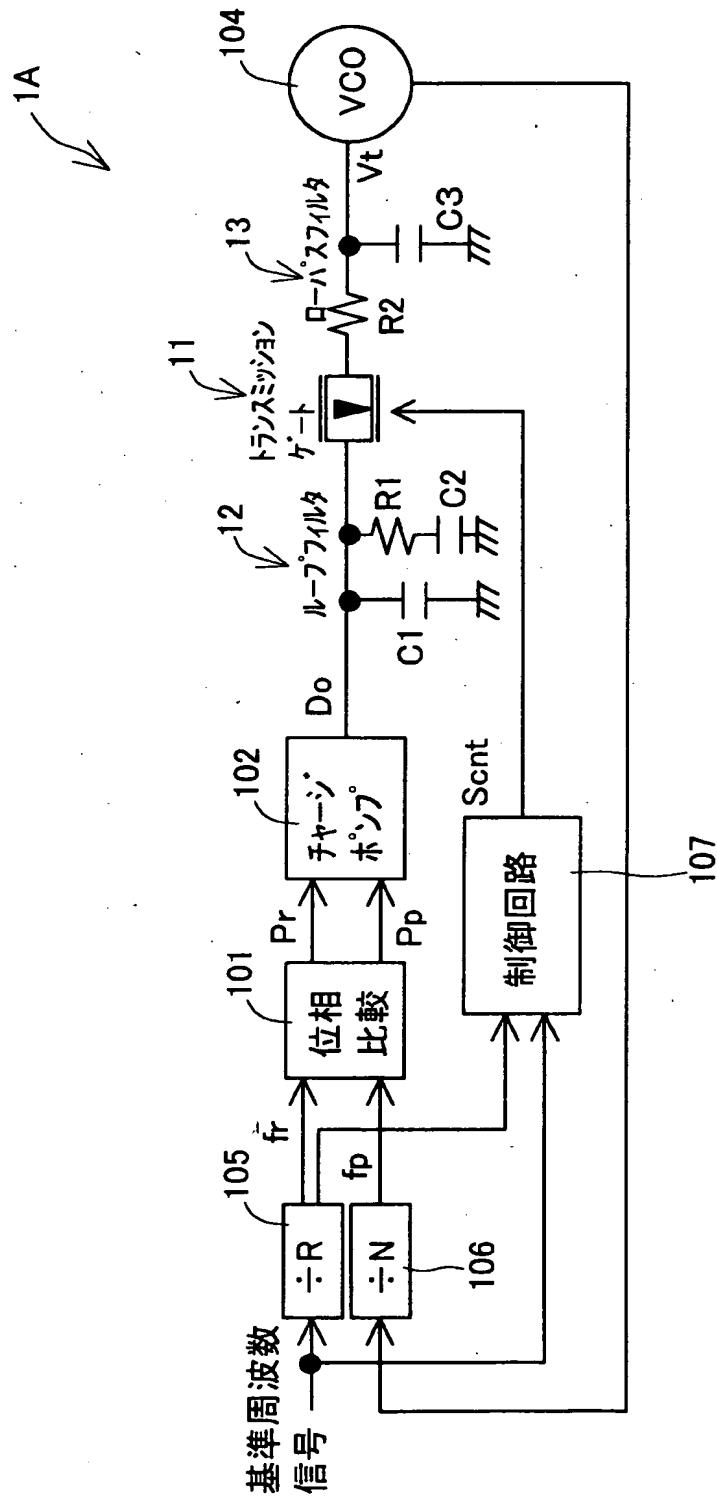
【図2】

第1実施形態のPLL周波数シンセサイザーの動作波形図



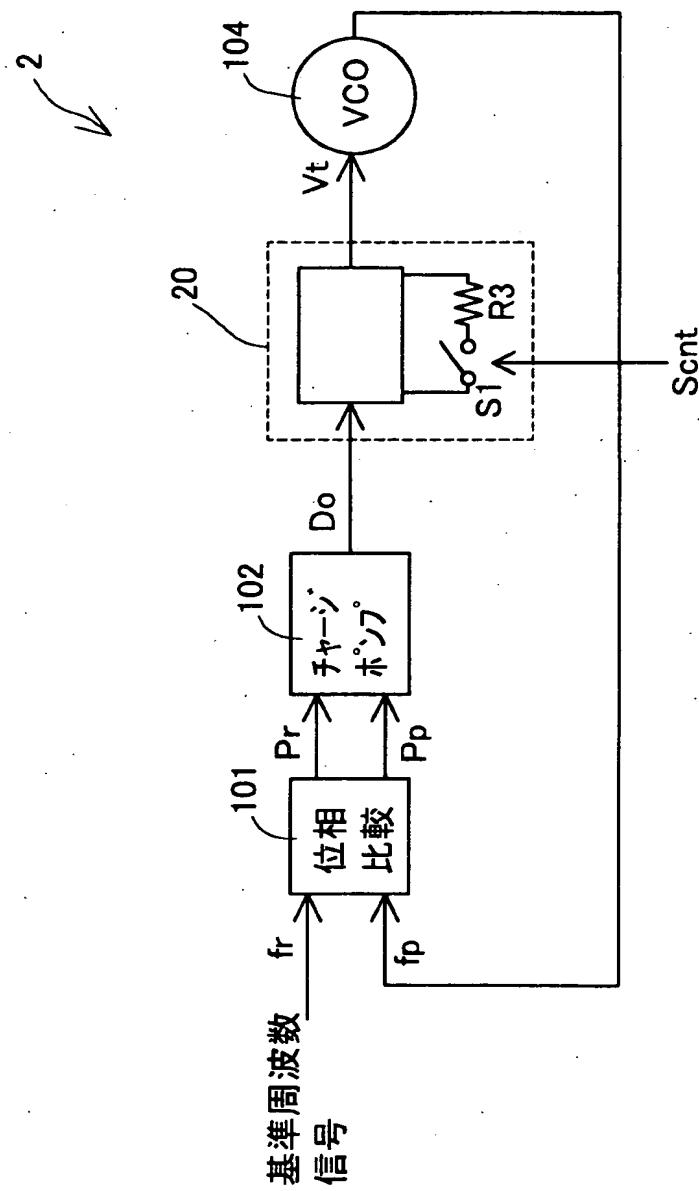
【図3】

第1実施形態の具体例



【図4】

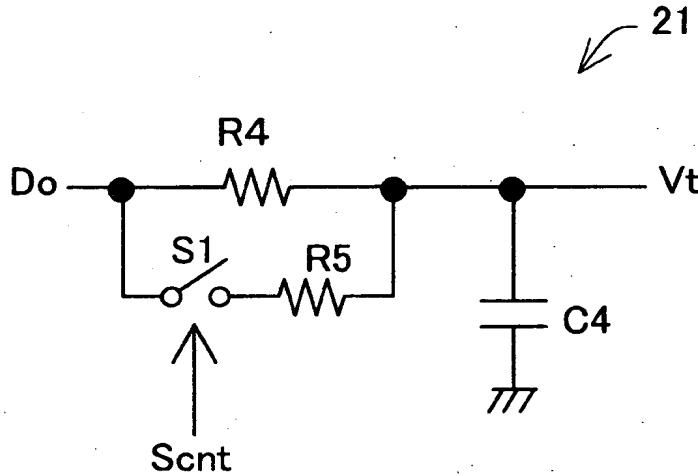
第2実施形態のPLL周波数シンセサイザーの機能ブロック図



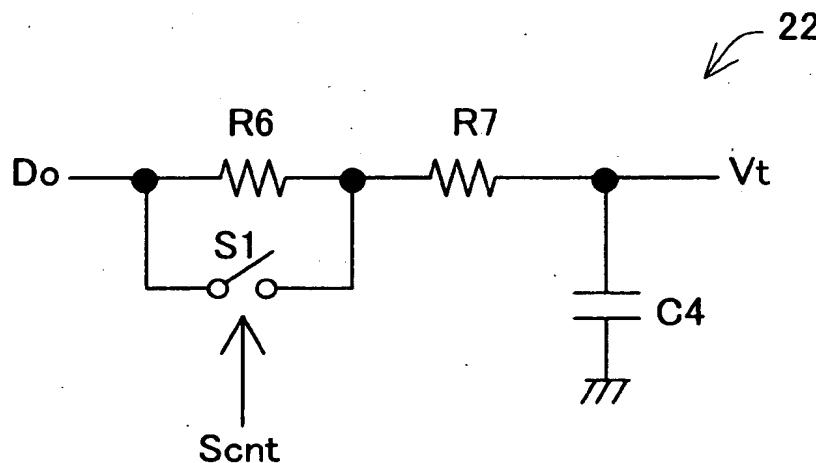
【図5】

第2実施形態のローパスフィルタ(LPF)回路の具体例

(A) 並列パスを切り替えるタイプ

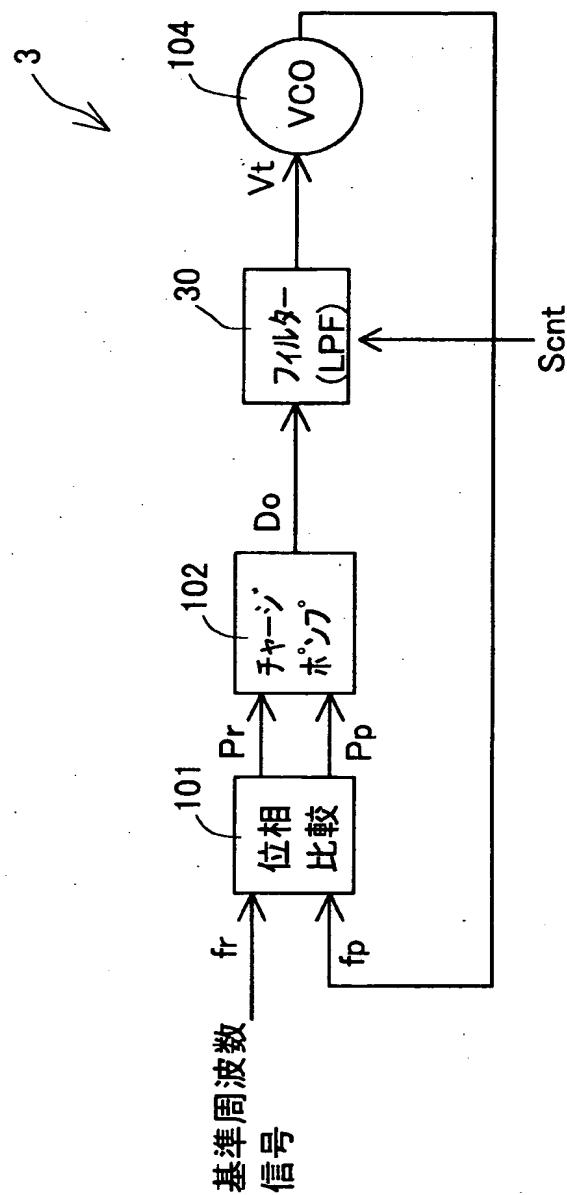


(B) 直列パスを切り替えるタイプ



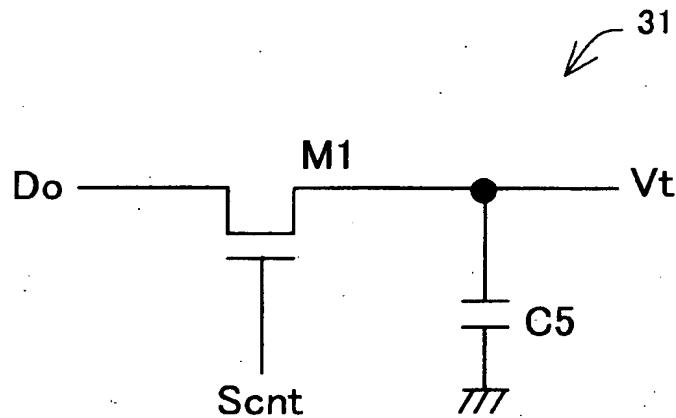
【図6】

第3実施形態のPLL周波数シンセサイザーの機能ブロック図



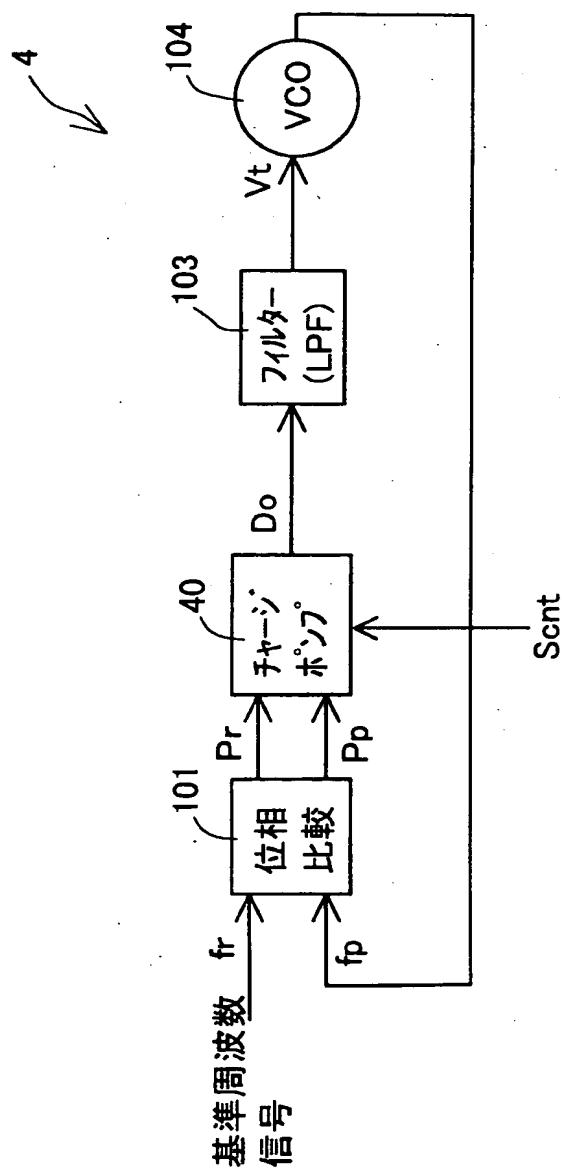
【図7】

第3実施形態のローパスフィルタ(LPF)回路の具体例



【図8】

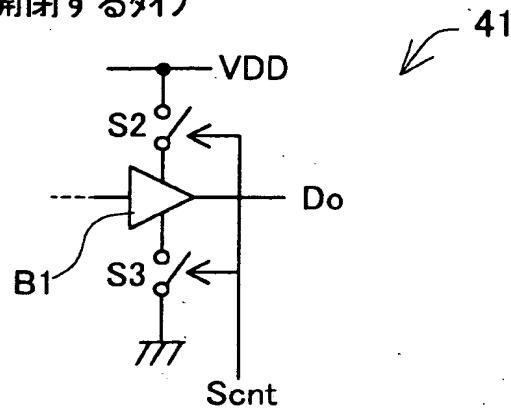
第4実施形態のPLL周波数シンセサイザーの機能ブロック図



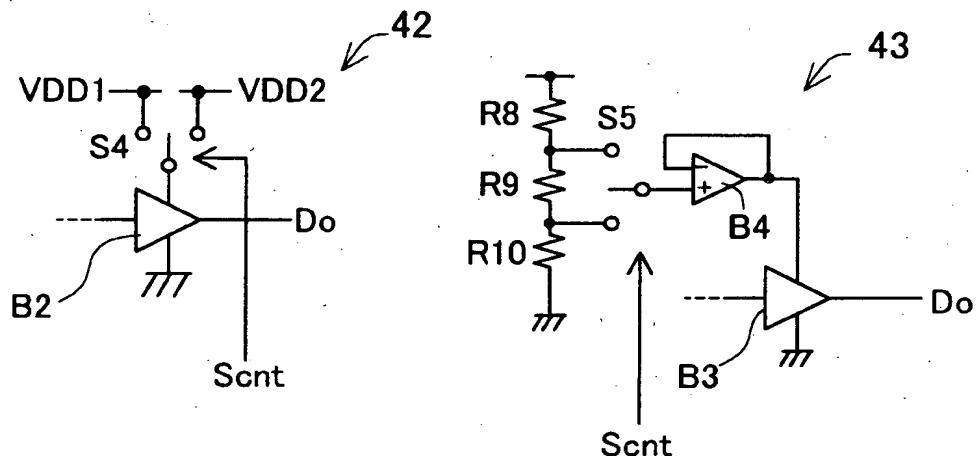
【図9】

第4実施形態のチャージポンプ回路の具体例

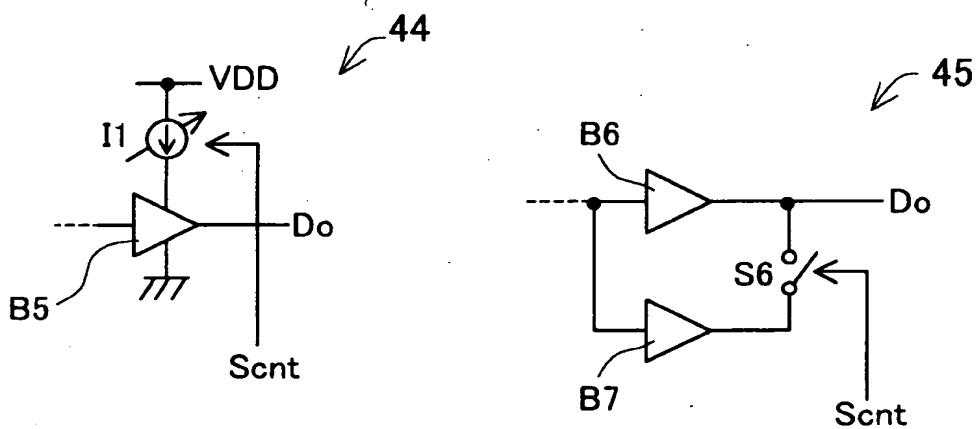
(A) 出力パスを開閉するタイプ



(B) 電源圧力を変化させるタイプ



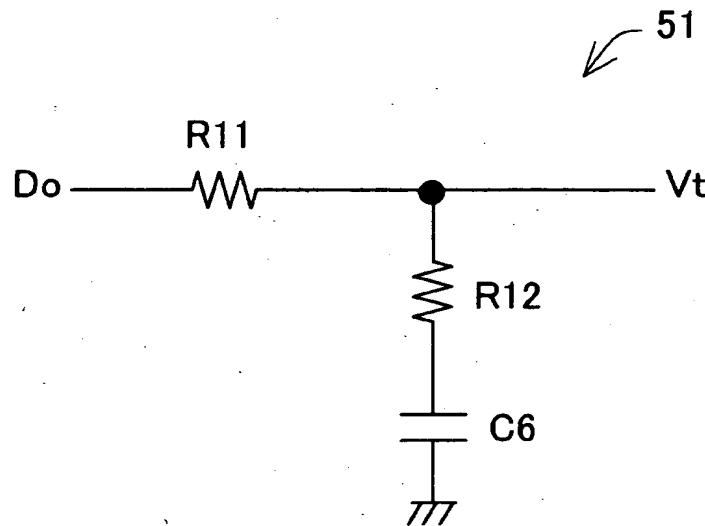
(C) 駆動能力を変化させるタイプ



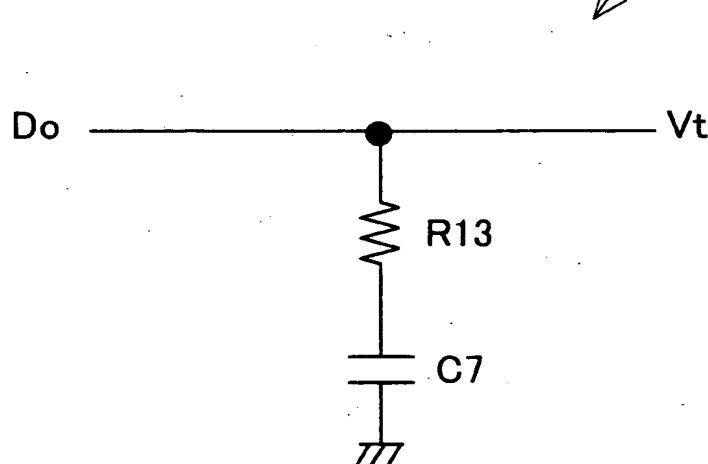
【図10】

ローパスフィルタ(LPF)回路の具体例

(A) 電圧駆動タイプ

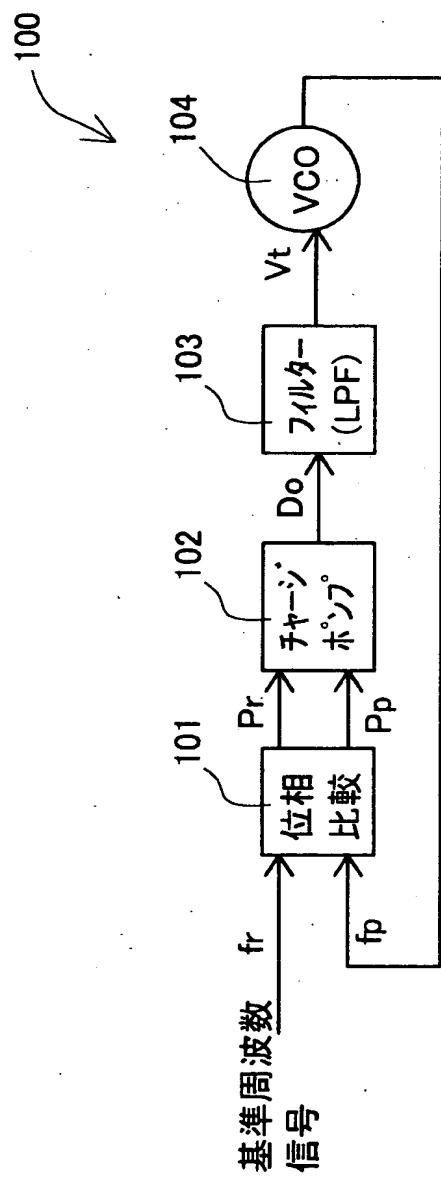


(B) 電流駆動タイプ



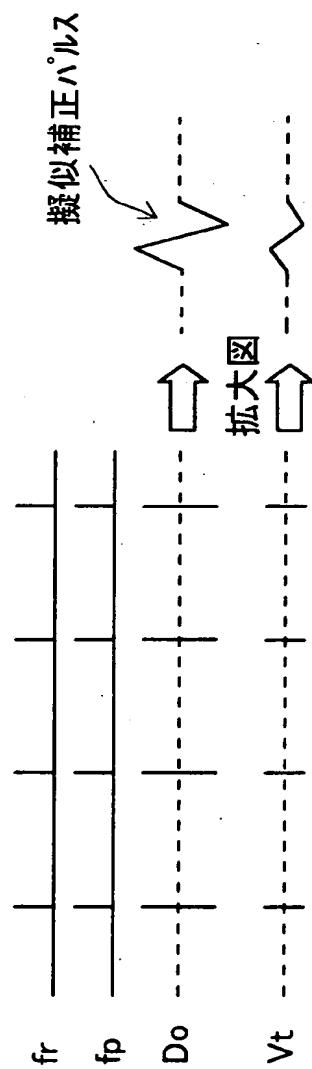
【図11】

従来技術のPLL周波数シンセサイザーの機能ブロック図



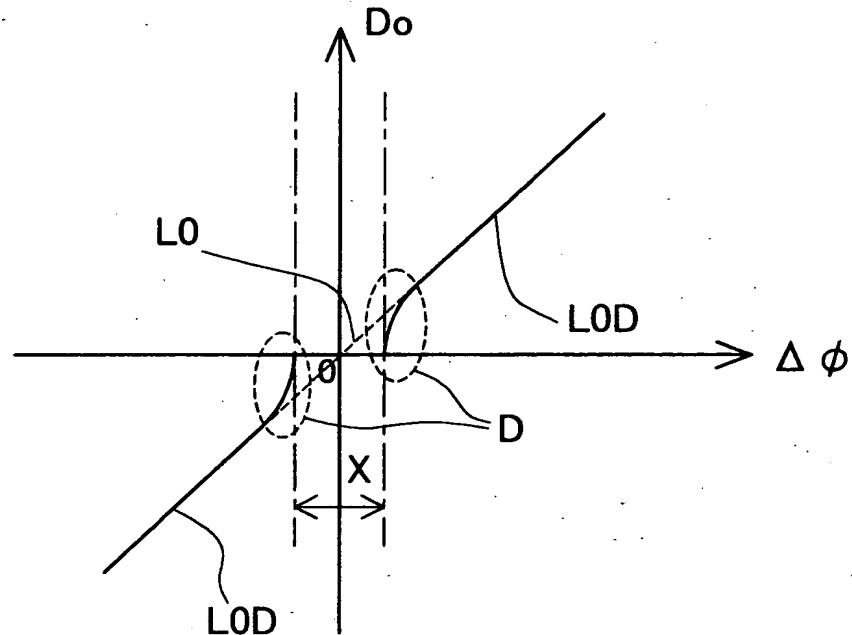
【図12】

従来技術のPLL周波数シンセサイザーの動作波形図

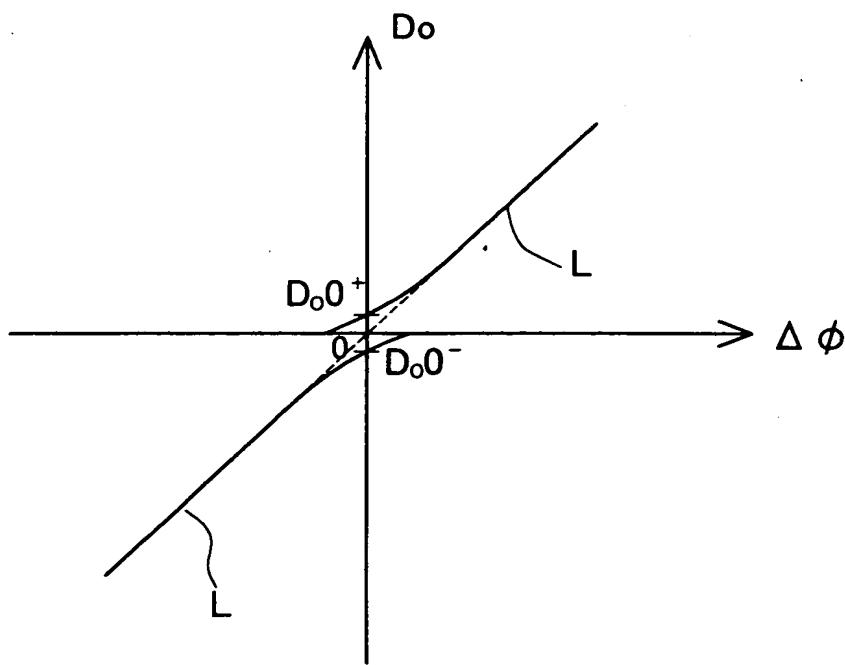


【図13】

チャージポンプ回路の入出力特性



↓ (不感帯の解消)



【書類名】 要約書

【要約】

【課題】 高速ロックアップ特性を確保しながら、ロック状態におけるスプリアス特性をも改善して良好な通信品質を実現することができるPLL周波数シンセサイザを提供すること。

【解決手段】 ローパスフィルタ（LPF）回路103と電圧制御発振器（VCO）104との間に挿入されるスイッチ回路10が、制御信号S_{cnt}により制御されてローパスフィルタ（LPF）回路103と電圧制御発振器（VCO）104との間のフィードバックループを開閉制御する。即ち、制御信号S_{cnt}によるフィードバックループの開路指示によりスイッチ回路10を開放してフィードバックループを開いてフィードバックループの動作を停止する。この停止動作を位相比較器の位相比較周期毎にチャージポンプ回路102から擬似補正パルスが出力される期間に行なうように制御信号S_{cnt}により制御して擬似補正パルスによるスプリアスを抑制する。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出願人履歴情報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社